

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re the Application of:

TAE WOONG KANG, ET AL.

Art Group:

Application No.:

Examiner:

Filed:

For: **single electron device, method of
manufacturing the same, and method of
simultaneously manufacturing single
electron device and mos transistor**

Commissioner for Patents
P.O. Box 1450
Alexandria, VA 22313-1450

REQUEST FOR PRIORITY

Sir:

Applicant respectfully requests a convention priority for the above-captioned application, namely:

<u>COUNTRY</u>	<u>APPLICATION NUMBER</u>	<u>DATE OF FILING</u>
Korea	10-2002-0078445	10 December 2002

☒ A certified copy of the document is being submitted herewith.

Respectfully submitted,

Blakely, Sokoloff, Taylor & Zafman LLP

Dated: 10/24/03


Eric S. Hyman, Reg. No. 30,139

12400 Wilshire Blvd., 7th Floor
Los Angeles, California 90025
Telephone: (310) 207-3800

대한민국 특허청

KOREAN INTELLECTUAL PROPERTY OFFICE

별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto
is a true copy from the records of the Korean Intellectual
Property Office.

출원번호 : 10-2002-0078445
Application Number

출원년월일 : 2002년 12월 10일
Date of Application DEC 10, 2002

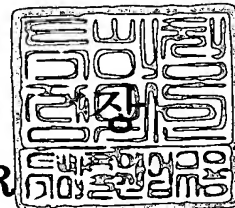
출원인 : 한국전자통신연구원
Applicant(s) Electronics and Telecommunications Research Institute



2003 년 03 월 11 일

특 허 청

COMMISSIONER



【서지사항】

【서류명】	특허출원서
【권리구분】	특허
【수신처】	특허청장
【참조번호】	0003
【제출일자】	2002.12.10
【발명의 명칭】	단전자 소자, 그 제조 방법 및 단전자 소자와 MOS 트랜지스터를 동시에 형성하는 제조방법
【발명의 영문명칭】	Single electron device, Method of manufacturing the same and Method of manufacturing Single electron device and MOS transistor simulataneously
【출원인】	
【명칭】	한국전자통신연구원
【출원인코드】	3-1998-007763-8
【대리인】	
【성명】	신영무
【대리인코드】	9-1998-000265-6
【포괄위임등록번호】	2001-032061-5
【발명자】	
【성명의 국문표기】	강태웅
【성명의 영문표기】	KANG, Tae Woong
【주민등록번호】	710110-1241615
【우편번호】	302-220
【주소】	대전광역시 서구 용문동 243-18
【국적】	KR
【발명자】	
【성명의 국문표기】	이성재
【성명의 영문표기】	LEE, Seong Jae
【주민등록번호】	571028-1119811
【우편번호】	305-720
【주소】	대전광역시 유성구 신성동 대림아파트 106-1106
【국적】	KR
【공개형태】	학술단체 서면발표
【공개일자】	2001.10.24

【심사청구】

청구

【취지】

특허법 제42조의 규정에 의한 출원, 특허법 제60조의 규정에 의한 출원심사를 청구합니다. 대리인
신영무 (인)

【수수료】

【기본출원료】 20 면 29,000 원

【가산출원료】 14 면 14,000 원

【우선권주장료】 0 건 0 원

【심사청구료】 12 항 493,000 원

【합계】 536,000 원

【감면사유】 정부출연연구기관

【감면후 수수료】 268,000 원

【기술이전】

【기술양도】 희망

【실시권 허여】 희망

【기술지도】 희망

【첨부서류】

1. 요약서·명세서(도면)_1통 2. 공지에외적용대상(신규성상
실의예외, 출원시의특례)규정을 적용받 기 위한 증명서류_
통

【요약서】**【요약】**

본 발명은 단전자 소자, 그 제조방법 및 단전자 소자와 MOS 트랜지스터를 동시에 형성하는 제조방법에 관한 것으로, 본 발명의 단전자 소자는 기판상에, 소정 간격으로 이격된, 소오스 영역 및 드레인 영역이 정의된 반도체층과, 반도체층의 사이에 형성된 활성층으로서, 다수개의 실리콘 전자섬들을 갖는 반구형 실리콘층과, 상기 전체 구조 상부에 형성된 게이트 절연층과; 게이트 절연층 상에 형성되며, 활성층에 전압을 인가하기 위한 게이트 전극을 포함하여 구성된다.

【대표도】

도 11a

【색인어】

단전자 소자, 전자섬, HSG

【명세서】**【발명의 명칭】**

단전자 소자, 그 제조 방법 및 단전자 소자와 MOS 트랜지스터를 동시에 형성하는 제조방법{Single electron device, Method of manufacturing the same and Method of manufacturing Single electron device and MOS transistor simulataneously}

【도면의 간단한 설명】

도 1은 MOSFET와 유사한 구조를 갖는 종래기술에 의한 단전자 트랜지스터의 개략도이다.

도 2는 단전자 트랜지스터의 동작원리를 설명하기 위한 개념도이다.

도 3은 본 발명의 바람직한 일실시예를 적용하기 위한 반도체 기판인 SOI 기판이다.

도 4a, 도 4b 내지 도 11a, 도 11b는 본 발명의 바람직한 실시예에 의한 단전자 트랜지스터와 MOS 트랜지스터를 동시에 형성시키는 제조방법의 흐름도이다.

도 12a 내지 도 12c는 본 발명의 실험예를 통해서 얻은 실리콘 나노점의 크기 분포를 도시한 도면이다.

도 13a 내지 도 13c는 본 발명의 실험예를 통해서 얻은 실리콘 나노점의 크기 분포를 도시한 도면이다.

도 14는 본 발명의 실시예에 의한 실리콘 나노점의 SEM 이미지의 일예다.

【발명의 상세한 설명】

【발명의 목적】

【발명이 속하는 기술분야 및 그 분야의 종래기술】

- <8> 본 발명은 단전자 소자에 관한 것으로, 보다 구체적으로는 반구형 실리콘 형성 기술을 이용하여 전자섬을 효과적으로 형성한 단전자 소자, 그 제조방법 및 단전자 소자와 MOS 트랜지스터를 동시에 형성하는 제조방법에 관한 것이다.
- <9> 단전자 소자(Single electron device)는 전자 1개로 전류를 제어할 수 있는 전자 소자의 궁극적인 최종 구조이다. 전계효과 트랜지스터(FET)와 유사한 구조의 트랜지스터 개념의 단전자 소자가 이미 제안되어 초고집적 메모리나 초저전력 연산 회로의 구현을 위하여 연구되고 있고, 그 외에도 같은 원리를 이용한 신개념의 다양한 소자 구조와 회로가 연구되고 있다.
- <10> 이하, 도 1 및 도 2를 참조하여 단전자 소자의 동작원리등의 개념을 설명한다. 도 1은 FET와 유사한 구조를 갖는 단전자 트랜지스터의 개략도이다.
- <11> 전자섬(120)이 두 개의 관통 접합(115 및 125)과 커패시터(135)에 둘러싸여 있으며, 관통 접합(tunnel junction)(115 및 125)는 각각 (R_1, C_1)과 (R_2, C_2)의 저항 및 전하용량의 특성을 갖고 있고 커패시터의 전하용량은 C_g 이다. 전자섬(120)의 전단(A) 및 후단(B) 사이에는 일정한 전압 V_0 가 인가되어 있고 커패시터 전단(B)에는 전자섬(120)의 전기적 특성을 제어할 수 있는 전압 V_g 가 연결되어 있다. 이 구조는 MOSFET과 매우 유사한 구조로서, 두 단자 A와 C는 소오스와 드레인으로, 입력 단자 B은 게이트에 해당하는

다. 일정한 전압 V_0 를 A와 C의 단자에 인가하고 입력 단자 B에 V_g 를 걸었을 때, 흐르는 전류 i 는 도 2에 도시하고 있다.

<12> 즉, 도 2에 나타낸 바와 같이 e/C_g 의 주기를 갖는 전류의 피크 패턴을 보인다. 도 2는 V_0 의 인가 전압에 대한 관통 접합을 통하여 전자섬을 흐르는 전류(i)와 전자섬 120의 특성을 제어하는 제어 전압(V_g)와의 관계를 보여 주고 있는데, 피크에 해당하는 부근은 쿨롱 봉쇄가 풀린 전도 상태(conducting state)이고 최저치의 전류가 흐르는 부분은 쿨롱 봉쇄에 의한 절연 상태를 나타내고 있다. 또한, 주기는 커패시터(135)에 유도된 전하가 e 만큼 변화하는 것을 감지할 수 있는 감도를 보여주는 것이며 이는 전자 한 개가 가진 전하량 이하의 유도 전하에 의해 소스-드레인 전류가 변조될 수 있음을 의미한다. 따라서 이를 단전자 트랜지스터라고 부른다.

<13> 관통 접합(115 및 125)의 특성이 저항과 커패시턴스 (R_1, C_1), (R_2, C_2)로 주어지며 커패시터(135)의 커패시턴스를 C_g 로 표현하면 도 2의 특성이 보이는 즉 단전자 관통 현상이 일어날 조건은 다음과 같다.

<14> $R_i \gg h/e^2 \sim 26 \text{ k}\Omega$ (식 1)

<15> $e^2/C_t \gg k_B T$ (여기서 $C_t = C_1 + C_2 + C_g$.) (식 2)

<16> 식 1은 전자가 하나씩 관통하는 사건을 구분할 수 있는 단전자 관통의 요구

조건이고, 식 2는 전자섬(120)으로 관통하여 들어간 전자가 쿨롱 법칙에 의하여 다른 전자가 열적 요동에 의하여 들어오지 못하도록 봉쇄할 수 있는 조건을 나타낸 것이다. 식 1에서 알 수 있듯이 단전자 소자 자체 저항은 수백 $k\Omega$ 이 되어야 하며, 식 2에서, 소자의 크기가 수십 나노미터 정도로, 전자섬(120)의 커패시턴스가 aF 단위로 작아져야 한다는 것을 의미한다.

<17> 이와 같은 조건을 만족시키기 위해서 많은 연구가 진행되어 왔으며, 특히 종래의 MOS 트랜지스터 기술과 호환성을 가지는 단전자 트랜지스터를 제작하기 위해서는 실리콘을 이용하여 수 nm 크기의 전자섬을 균일하게 형성시키는 기술의 개발이 필수적이다. nm 크기의 전자섬을 현재의 포토 리소그래피 및 식각 공정을 이용하여 구현할 경우 전자선 묘화 방법을 사용해야 하는데 이 방법은 매우 많은 시간이 소요되기 때문에 대량생산에는 적합하지 않다.

<18> 이와 같이 종래의 단전자 소자는 단전자 수송 동작을 위한 제작상 매우 까다로운 조건을 요한다. 즉 상온동작을 위한 10 nm 수준의 patterning 기술과, 전자를 격리할 수 있는 수 aF 정도의 전하용량과 수십 $k\Omega$ 의 저항을 가진 관통접합을 요구하기 때문이다. 현재의 기술 수준으로는 단위 소자 차원의 개별 소자 제작이 가능하여 아날로그 소자, 즉 센서나 검출기, 또는 전류 표준등에 이용되고 있으나, 보다 실용적이고 수요가 많은 디지털 집적회로의 제작은 기존의 재료/공정으로는 거의 불가능하고 신개념의 공정 개발이 필요하다.

【발명이 이루고자 하는 기술적 과제】

<19> 따라서, 본 발명의 목적은 상술한 바와 같은 문제점을 해결하기 위해서, 반구형 실리콘 형성 기술을 이용하여 단전자 소자를 만들기 위한 필수 기술인 전자섬을 효과적으로 형성하는 것이다.

<20> 본 발명의 다른 목적은 대량생산에 용이하고, 종래의 MOS 트랜지스터 제작공정과 호환성을 갖는 단전자 소자 및 그 제조방법을 제공하는 것이다.

【발명의 구성 및 작용】

<21> 상술한 문제점을 해결하기 위한 기술적 수단으로서, 본 발명의 일측면은 기판상에, 소정 간격으로 이격된, 소오스 영역 및 드레인 영역이 정의된 반도체층과, 반도체층의 사이에 형성된 활성층으로서, 다수개의 전자섬들을 갖는 반구형 실리콘층과, 상기 전체 구조 상부에 형성된 게이트 절연층과, 게이트 절연층 상에 형성되며, 활성층에 전압을 인가하기 위한 게이트 전극을 포함하여 구성된 단전자 소자를 제공한다.

<22> 반도체층의 소정 간격으로 이격된, 소오스 영역 및 드레인 영역에서의 소정 간격은 100 nm 이하이며, 반구형 실리콘층의 두께는 3~5nm이고, 실리콘 전자섬의 크기는 3~5nm 이다.

<23> 또한, 본 발명의 다른 측면은 기판상에 소정 간격으로 이격되게, 소오스/드레인 전극용 반도체층을 형성하는 단계와, 반도체층 상에 비정질 실리콘층을 증착하여 상기 반도체층 사이에 활성영역을 정의하는 단계와, 비정질 실리콘층을 다수개의 실리콘 전자섬들을 갖는 반구형 실리콘층으로 형성하는 단계와, 상기 전체구조 상에 게이트 절연막을 형성하는 단계와, 게이트 절연막 상에, 활성영역에 전압을 인가하기 위한 게이트 전극을

형성하는 단계와, 반도체층에 소오스 드레인 영역을 형성하는 단계를 포함하는 단전자 소자의 제조방법을 제공한다.

<24> 한편, 반구형 실리콘층의 형성단계는, 비정질 실리콘층을 500℃ 내지 700℃의 온도, 1 내지 3×10^{-7} torr 이하로 고진공을 유지한 상태에서, 제1 소정시간 동안 실리콘을 포함하는 가스를 분사하는 단계와, 500℃에서 700℃의 온도에서 제2 소정시간 동안 열처리를 수행하는 단계를 포함할 수 있다.

<25> 이 경우, 실리콘을 포함하는 가스는 SiH_4 또는 Si_2H_6 이며, 제1 소정시간은 10 내지 170초이고, 상기 제2 소정 시간은 10 내지 90초이다.

<26> 바람직한 기판의 종류는 SOI기판이고, 상기 반도체층은 상기 SOI기판의 최상층일 수 있다.

<27> 본 발명의 또다른 측면은 단전자 소자와 MOS 트랜지스터를 동시에 형성하는 제조방법에 있어서, 단전자 소자 부위(이하, A영역)와 MOS트랜지스터 부위(이하, 영역)를 정의하는 단계와, A영역의 기판상에는 소정 간격으로 이격되게 소오스/드레인 전극용 반도체층을 형성하고, B영역의 기판상에는 이격부위를 없이 반도체층을 형성하는 단계와 반도체층 상에 비정질 실리콘층을 증착하여 A영역에만 반도체층 사이의 활성영역을 정의하는 단계와, A영역의 상기 비정질 실리콘층을 다수개의 실리콘 전자섬들을 갖는 반구형 실리콘층으로 형성하는 단계와, 상기 전체구조 상에 게이트 절연막을 형성하는 단계와 게이트 절연막 상에 게이트 전극을 형성하는 단계와 반도체층에 소오스 드레인 영역을 형성하는 단계를 포함한다.

- <28> 또한, 게이트 절연막을 형성하는 단계는, 포토리지스트를 이용하여 B영역을 덮은 상태에서 A영역에만 제 1 게이트 절연막을 형성하는 단계와, 상기 전체 구조상에 제 2 절연막을 형성하는 단계를 포함하여 형성되어, A영역의 게이트 절연막의 두께가 B영역의 게이트 절연막의 두께 보다 크게 형성하는 것이 바람직하다.
- <29> "반구형 실리콘 형성기술"은 현재 DRAM에서 커패시터 형성기술로서 많은 연구가 이루어져 있고, 대구경 웨이퍼의 적용에도 문제가 없으며, 대량 생산에도 유리하다. 기존의 반구형 실리콘 형성기술은 표면적을 넓히는데 주로 주목하였기 때문에 형성된 실리콘의 크기가 주로 수백 nm 정도로 단전자 트랜지스터가 요구하는 전자섬의 크기보다 훨씬 크다. 그러나, 여러 가지 조건을 바꾸어 가면서 실험해 본 결과 수 nm 크기의 전자섬이 균일하게 형성될 수 있음을 알 수 있었다. 이에 대해서는 자세히 후술한다.
- <30> 이하, 첨부한 도 3 및 도 4a, 도 4b 내지 도 11a, 도 11b를 참조하여 반구형 실리콘을 이용한 단전자 트랜지스터와 MOS 트랜지스터를 동시에 형성하는 방법의 실시예를 상세히 설명한다. 다만, 본 발명에 따른 단전자 소자의 제조는 반드시 MOS 트랜지스터와 동시에 제조하여야 하는 것은 아니며 독립적으로 제조하는 것이 가능함을 밝혀둔다.
- <31> 도 3을 참조하면, 반도체 기판의 일예인 SOI(Silicon On Insulator) 기판을 도시하고 있다. 통상적인 SOI기판은 실리콘기판으로 만들어진 지지기판(310) 위에 절연막(320) 및 단결정반도체층(330)이 그 순서대로 형성되는 형태로 형성된다. 다만, 본 실

시에에서는 SOI기판을 예를 들어 도시하고 있으나, 일반적인 실리콘 웨이퍼, 각종 화합물 반도체 등의 단결정 반도체기판을 이용할 수 있다. 도 3의 상부 도면은 SOI기판의 평면도이고, 하부 도면은 SOI 기판의 단면을 도시하고 있다.

<32> 이하, 상술한 SOI기판에서 단전자 소자 형성 부위는 도 4a 내지 도 11a로, MOS 트랜지스터 형성 부위는 도 4b 내지 도 11b로 표시하여 동일 기판 상의 서로 다른 부위에서 형성되는 단전자 소자와 MOS트랜지스터 각각의 형성과정을 상세히 설명한다.

<33> 도 4a 및 도 4b는 도시의 편의를 위해서 단전자 트랜지스터가 형성될 부위(A)와 MOS 트랜지스터가 형성될 부분(B)를 따로 도시하고 있지만, 실제 구현에 있어서는 동일 기판 상의 다른 부위에 해당함은 당연하다. 도 4a 및 도 4b는 단전자 트랜지스터가 형성될 부위(A)와 MOS 트랜지스터가 형성될 부분(B) 각각의 단결정 반도체층(330)에 활성화 영역(Active layer)을 정의하기 위해서 포토 리소그래피 및 식각 방법을 이용하여 패터닝한 공정을 도시하고 있다.

<34> 한편, 도 5a는 단전자 트랜지스터의 부분(A)의 채널 부분을 추가로 식각한 후를 도시하고 있다. 포토 리소그래피 기술의 정도에 따라서는 도 4a의 공정을 생략하고 도 3에서 바로 도 5a의 공정을 사용할 수도 있다. 그러나, 도 5a에서 형성될 단전자 트랜지스터의 채널 영역은 활성화 영역(Active layer)에 비해 매우 미세한 크기(예를 들어 약 100 nm 이하)이기 때문에 도 4의 공정을 생략하고 바로 도 5a의 공정을 진행하는 것은 기술적인 난이도가 상당히 높은 경우에 가능할 것이다. 이 때 단전자 채널의 간격이 넓을 경우 전하의 수송이 많은 전자섬을 통과하여 이루어 지기 때문에 채널의 저항이 너무 커지게 된다. 따라서 채널의 간격은 적절하게 조절되어야 하고 바람직하게는 약 100 nm 이하이다.

<35> 다음으로, 도 6a 및 도 6b를 참조하면, 전체 구조상에 비정질 실리콘층(340)을 증착한다. 이 경우 비정질 실리콘층(340)은 20 nm 이하로 형성하는 것이 바람직하다. 더욱 바람직하게는 양자효과를 효과적으로 유도하기 위해 5nm 이하의 두께로 증착한다. 또한, 후단 공정으로 반구체를 형성할 수 있는 층으로 다결정 실리콘층, 비정질 실리콘층, 도핑된 비정질 실리콘층 등이 모두 가능하지만, 도핑이 된 실리콘이나 다결정 실리콘을 증착할 경우에는 반구형 실리콘이 균일하게 형성되지 않을 경우 최종 단전자 트랜지스터의 특성이 불균일해 질 수 있는 단점이 있어, 도핑이 되지 않은 비정질 실리콘을 이용한다. 비정질 실리콘층은 LPCVD 방법을 이용하여 530℃ 이하에서 증착가능하다. 통상 570℃ 이상에서 증착하면 다결정 실리콘층으로 증착된다.

<36> 도 7a 및 도 7b를 참조하면, 단결정 실리콘층(340)을 단전자 트랜지스터의 채널이 형성될 부분만 남기고 다른 영역의 비정질 실리콘층(340)을 포토 리소그래피 기술 및 식각 기술을 이용하여 제거한다. 다만, 편의상 활성화 영역을 포함하여 포토 리지스트(350)로 보호막을 형성하였지만 공정 여유를 감안하여 다른 소자의 특성에 영향을 주지 않는 범위에서 채널이 형성될 부분의 비정질 실리콘층만 남겨주는 것도 가능하다. 이 경우, 비정질 실리콘층(340)을 식각하는 기술은 매우 중요하다. 플라즈마를 이용한 건식식각은 비정질 실리콘층(340)과 단결정 실리콘층(330)의 선택적 식각이 용이하지 않으며, MOS 트랜지스터부(B)의 단결정 실리콘이 플라즈마에 노출될 경우 플라즈마에 의한 손상을 입게 되어 향후 소자 특성에 좋지 않은 영향을 미치게 된다. 이러한 관점에서 건식식각보다는 비정질 실리콘층과 단결정 실리콘층의 식각 선택비가 큰 습식각 방법이 유리하다. 습식식각 용액으로는 예를 들어 질산 + 물 + HF 를 100 : 40 : x로 혼합하여 사

용한다. 이 경우 보통 x 의 값은 3 정도 인데, 값이 클수록 비정질 실리콘과 결정 실리콘과의 식각 선택비가 작고 값이 작아지면 선택비가 커지는 경향이 있다.

<37> 또한, 도 8a 및 도 8b는 비정질 실리콘층(340)이 존재하는 부분에 반구형 실리콘층(HSG-Si)(360)을 형성시킨 것이다. 반구형 실리콘층(360)을 형성하기 위한 공정 조건을 예를 들어 상세히 설명한다. 먼저, 500℃에서 700℃의 일정한 온도에서 1 내지 3×10^{-7} torr 이하로 고진공을 유지한 상태에서 실리콘을 포함하는 가스($\text{SiH}_4, \text{Si}_2\text{H}_6$ 등)를 분사시킨다. 이때 분사 시간을 씨드(seed)시간(T_1)으로 명명한다. 다음으로 500℃에서 700℃의 일정한 온도에서(예를 들어, 시작부터 끝까지 공정 온도가 같게 할 수 있다). 웨이퍼 온도 기준으로 약 600±30℃의 온도에서 열처리 공정을 수행한다(이 온도를 위해 장비에서 세팅하는 온도는 약 60℃~130℃ 이상 높다). 이때 가열시간을 성장(growth)시간(T_2)으로 명명한다. 따라서, 비정질 실리콘층(340) 위에서는 실리콘 핵이 형성되어 이 핵을 중심으로 실리콘 원자들이 이동하여 반구형 모양의 실리콘 그래인이 형성된다.

<38> 이 경우 바람직한 공정 조건을 살펴보면, 후술하는 실험예에 의하면 비정질 실리콘층은 5nm 정도에서 그래인 사이즈 7nm정도가 형성되었다. 한편, 단전자 소자로서 더욱 효과적으로 활용하기 위해서는 그래인 크기는 대략 3~5nm인 것이 바람직하고, 이 경우 비정질 실리콘층의 두께가 2~3nm이면 형성된 반구형 실리콘층(360)의 두께가 대략 3~5nm 일 것이다. 다만, 이는 공정온도와 씨드시간과 성장시간 등에 의해서 변화될 수 있다. 예를 들어, 씨드 시간은 10 에서 170초 정도로 변화가능하며, 성장 시간은 10 에서 90초로 변화가능하다.

- <39> 다음으로 도 9a 및 도 9b를 참조하면, 게이트 산화막(370a, 370b)을 형성한다. 도 8a에서 형성된 반구형 실리콘은 완벽하게 분리되어 있지는 않으며, 매우 얇은 실리콘 층으로 연결되어 있을 가능성이 높다. 따라서, 산화 공정을 진행하면 그레인 사이의 얇은 실리콘 층은 산화되어 각 실리콘 그레인들은 전기적으로 완벽하게 분리되어 지게 된다. 분리되어진 그레인들은 전자점으로서 역할을 하게 되어 전자가 흐를 때 쿨롱 봉쇄의 효과를 일으킴으로써 단전자 트랜지스터의 특성을 가능하게 한다. 게이트 산화막 형성에서 가장 중요하게 고려해야 할 것은 단전자 트랜지스터에서 필요로 하는 산화막의 두께와 MOS 트랜지스터에서 필요로 하는 산화막의 두께가 다르게 하는 것이 바람직하다.
- <40> 단전자 트랜지스터에서 전자의 수송은 소스와 드레인 사이의 전자점들을 전자들이 터널링을 통하여 이동함으로써 가능하게 된다. 따라서 각 전자점들 사이에는 터널링이 가능한 매우 얇은 두께, 예를 들어 약 10~15Å 정도의 산화막이 있다. 한편, 게이트 전극이 소오스와 드레인에 겹쳐져 있기 때문에 겹친 부분에도 터널링이 가능한 매우 얇은 두께의 산화막만이 있을 경우 전자들은 전자점을 통해 이동하는 것이 아니라 게이트 전극을 통하여 이동할 확률이 더 높아 진다. 따라서 이를 방지하기 위해 단전자 트랜지스터의 게이트 산화막은 산화공정 뿐만 아니라 추가로 산화막을 증착하여 게이트와 소스, 드레인 사이의 터널링을 방지하여야 한다. 한편, MOS 트랜지스터의 경우에는 소자의 특성을 위해 적절한 두께의 산화막을 형성시켜야 한다.
- <41> MOS 트랜지스터의 산화막은 주로 850℃ 이하의 퍼니스에서 실리콘을 산소로 산화시켜 보통 50Å 이하로 가능하고, 고속으로 동작하는 MOS소자의 경우 15Å 까지 산화막의 두께를 채용할 수 있다. 한편, 단전자부의 경우 산화막을 증착한 다음 다시 퍼니스에서 산화시키는 방법을 이용하며, 산화막의 두께를 약 50Å 정도로 제어하는 것이 바람직하며

, 대표적인 방법은 LPCVD 장치에서 $\text{SiH}_4 + \text{O}_2$ 가스 조합으로 증착하거나 TEOS, 또는 $\text{TEOS} + \text{O}_2$ 를 이용한 증착 방법이 있다.

<42> 이를 종합적으로 고려하여 게이트 산화막의 형성은 다음과 같은 순서로 진행하는 것이 바람직하다. 먼저 게이트 전극과 소스/드레인 전극의 터널링을 막기 위한 LPCVD 등을 이용하여 전체적으로 산화막을 증착한 다음 포토 리소그라피와 식각 방법을 이용하여 MOS 트랜지스터 부분의 산화막을 제거하고, 포토 리지스트도 제거한다. 그 다음에 전체구조상에 세정 및 산화 공정을 진행하면 단전자부는 트랜지스터부분의 게이트 절연막 보다 더 두꺼운 절연막을 형성할 수 있다. 즉, 실리콘 전자섬들이 있는 단전자부의 경우, 산화 공정을 추가로 실시하여 전자섬들 사이의 얇은 실리콘 층이 산화되기 때문에 전기적으로 분리하는 것이 바람직하다. 다만, 이와 같은 구체적인 방식은 MOS트랜지스터부와 단전자부의 게이트 절연막의 두께를 달리할 수 있는 공정으로 변형가능함은 자명하다.

<43> 다음으로, 도 10a 및 도 10b를 참조하면, 게이트 전극(380)을 형성한 후 소스와 드레인 영역을 형성하기 위해서 도핑공정을 수행한다. 이 후 소자의 안정성을 위해 게이트 전극의 측면을 약간 산화키거나 스페이서 등의 측벽(Side-wall)을 형성한 다음 LDD (Lightly Doped Drain) 공정을 추가할 수도 있다.

<44> 다음으로, 도 11a 및 도 11b에서는 금속막(400.410)으로 소오스 드레인과 게이트 전극을 접속하여 최종적으로 단전자 트랜지스터와 MOS 트랜지스터를 동시에 완성시킨 것이다. 물론 패드를 형성하기 전에 여러 층의 금속 배선을 형성하여 집적회로를 완성할 수도 있다.

<45> (실험예)

<46> 이하, 비정질 실리콘층(340)이 존재하는 부분에 반구형 실리콘(HSG-Si)(360)을 형성시키기 위한 실험을 상세히 설명한다.

<47> 먼저, 산소프리 비정질 실리콘 웨이퍼를 다음과 같이 준비한다. 8" p-type 실리콘(100)웨이퍼 상에 100nm 두께로 열적으로 실리콘 옥사이드를 성장한다. 다음으로, 도핑되지 않은 비정질 실리콘층이 LPCVD법에 의해서 약 530℃에서 증착된다. 비정질 실리콘층의 두께는 5 내지 20nm로 변화한다. 다음으로, 이 샘플은 자연산화막을 제거하기 위하여 60초동안 1% HF용액에 담근다. 그 후, HSG공정을 수행한다. HSG 공정의 실험에서는 매엽식 장비가 사용되었다.

<48> HSG 공정의 구체적인 조건들을 살펴보면, 챔버의 압력은 약 10^{-7} Torr이고, 공정온도는 580 내지 600℃까지 변화를 주었다. 공정 챔버의 온도는 공정 중에 일정하게 유지된다.

<49> HSG 공정은 3개의 단계들로 이루어져 있다. 첫번째 단계에서는 샘플의 온도를 안정화한다. 헥사이트가 형성될 수 있도록 샘플을 충분히 가열한다. 공정 챔버내부로 샘플을 로딩하고 난 후, 높은 진공조건 하에서 가열된다. 안정화 온도는 60초 정도가 가능하다. 두번째 단계에서는 SiH_4 또는 Si_2H_6 같은 실리콘 함유된 가스를 주입함으로써 실리콘 표면에 헥사이트를 형성한다. 2단계의 공정 시간은 씨드 시간으로 정의하고, Si_2H_6 가스 30sccm 이 주입되며 챔버의 온도는 10^{-3} Torr이다. 3단계에서는 고진공하에서 샘플을 어닐링함으로서 실리콘 결정을 성장시킨다. 3단계 공정의 시간은 성장시간으로 정의된다. 한편, 상술한 씨드 시간과 성장시간은 실리콘 나노 결정의 밀도와 크기에

영향을 미치게 된다. 씨드 시간은 10 에서 170초로 변화시키면서 실험하였고, 성장 시간은 10 에서 90초로 변화시키면서 실험하였다.

<50> (1) 먼저, 20nm의 비정질 실리콘층을 이용하고 590에서 600℃의 성장온도, 90에서 150초의 씨드 시간, 성장 시간은 90초로 고정하였을 때, 나노점들의 크기는 공정조건에 따라 크게 다르지 않았고, 밀도는 공정조건에 따라 차이가 있었다. 성장 온도가 낮고 씨드 시간이 길수록 실리콘점의 밀도는 더 높아지는 현상이 있었다. 핵은 씨드 시간 동안 형성되므로, 나노점의 밀도는 씨드 시간에 주로 좌우된다. 씨드 시간의 증가는 핵 수의 증가를 의미하고 따라서 이는 곧 나노점 수의 증가를 초래한다.

<51> (2) 다음으로, 10nm의 비정질 실리콘층을 이용하고 590℃의 공정온도, 90초의 성장 시간, 씨드 시간은 90초에서 130초로 변화시켰다. 도 12a 내지 도 12c는 이와 같은 조건하에서 실시한 실험을 통해서 얻은 실리콘 나노점의 크기 분포를 도시하고 있다. 도 12a는 씨드 시간이 90초, 도 12b는 씨드 시간이 110초, 도 12c는 씨드 시간이 130초인 경우이다. 도면들을 통해서, 씨드 시간의 증가는 그레인 사이즈를 크게하고 분포를 넓게 하는 것을 알수 있다. 씨드 시간의 증가는 핵을 더 많이 생성하고 핵들 사이의 거리가 점점 가까워 지며 서로 합체될 수도 있다. 도 12c의 사이드 로브가 이를 보여 주고 있다. 실리콘 나노점들이 서로 합체되는 것은 바람직하지 않으므로 성장온도를 줄임으로써 이를 방지할 수 있을 것이다. 이를 확인하기 위해서 130초의 씨드 시간과 590도의 공정 온도에서 성장 시간을 90 내지 30초로 변화시켜가면서 실험을 하였다. 그 결과에 의한 실리콘 나노점의 크기 분포를 도 13a 내지 도 13c도시하고 있다. 도 13a는 도 13a는 성장 시간이 90초, 도 13b는 성장 시간이 70초, 도 13c는 성장 시간이 30초인 경우이

다. 성장 시간이 감소함에 따라, 분포는 집중도가 증가하였고 사이드 로브도 줄어들었다. 다만, 실리콘 나노점들의 밀도가 낮아지는 경향이 있다.

<52> 다음으로 공정 온도를 낮추고 씨드 시간을 증가하였다. 씨드 시간이 130에서 170초로 변화시키고 공정온도를 584도, 성장시간을 30초로 하여 실험하였다. 그러나, 실리콘 나노점들의 밀도가 줄어들었다.

<53> 이와 같은 실험들을 통해서 성장 시간을 감소시키는 것 뿐 아니라 공정온도를 감소시키는 것은 실리콘 나노점의 밀도를 증가시킨다. 그러나, 온도와 공정 시간의 변화 만으로는 밀도를 현저히 증가시킬 수는 없었다. 따라서 비정질 실리콘층의 두께를 감소시키는 방법을 강구할 수 있다.

<54> (3) 5nm의 비정질 실리콘층을 이용하고 584도의 공정온도, 성장 시간과 씨드 시간은 각각 10초에서 50초로 변화시켰다. 이러한 조건 하에서 실리콘 나노점의 밀도는 현저히 증가되는 현상을 보였다. 대략적인 밀도는 약 $2.6 \times 10^{11}/\text{cm}^2$ 이었고, SEM사진들 사이에 약간의 오차는 있었다. 그레인 사이즈는 대략 7nm 정도로 형성되었다. 따라서, 얇은 두께의 비정질 실리콘층을 이용하면 밀도가 높고 더 균일한 실리콘 나노점을 형성할 수 있었다. 도 14는 성장 시간과 씨드 시간은 각각 10초와 50초인 경우의 실리콘 나노점의 SEM 이미지를 예를 들어 도시하고 있다.

【발명의 효과】

<55> 상술한 바와 같은 본 발명의 공정에 의한 단전자 트랜지스터 제작방법은 반구형 실리콘 형성 기술을 이용하여 전자섬을 효과적으로 형성하고, 이를 바탕으로 기존의 트랜

지스터 제조 공정과 호환성을 갖게 하였다. 이에 따라서 양산성이 있는 전자섬 제조공정을 확보하였을 뿐 아니라 기존의 MOS 트랜지스터와 혼합된 집적회로의 제작을 가능하게 함으로써 단일 칩 내에서 단전자 소자의 특성과 MOS 트랜지스터의 장점이 결합된 매우 유용한 집적회로의 제작이 가능하다.

【특허청구범위】**【청구항 1】**

기판상에, 소정 간격으로 이격된 소오스 영역 및 드레인 영역이 정의된 반도체층;
상기 반도체층의 사이에 형성된 활성층으로서, 다수개의 실리콘 전자섬들을 갖는
반구형 실리콘층;

상기 전체 구조 상부에 형성된 게이트 절연층; 및

상기 게이트 절연층 상에 형성되며, 상기 활성층에 전압을 인가하기 위한 게이트
전극을 포함하여 구성된 것을 특징으로 하는 단전자 소자.

【청구항 2】

제 1 항에 있어서, 상기 소정 간격은 100 nm 이하인 것을 특징으로 하는 단전자 소
자.

【청구항 3】

제 1 항에 있어서, 상기 반구형 실리콘층의 두께는 3~5nm이고, 상기 실리콘 전자섬
의 크기는 3~5nm인 것을 특징으로 하는 단전자 소자.

【청구항 4】

기판상에 소정 간격으로 이격되게, 소오스/드레인 전극용 반도체층을 형성하는 단
계;

상기 반도체층 상에 비정질 실리콘층을 증착하여 상기 반도체층 사이에 활성영역
을 정의하는 단계;

상기 비정질 실리콘층을 다수개의 실리콘 전자섬들을 갖는 반구형 실리콘층으로 형성하는 단계;

상기 전체구조 상에 게이트 절연막을 형성하는 단계;

상기 게이트 절연막 상에, 상기 활성영역에 전압을 인가하기 위한 게이트 전극을 형성하는 단계; 및

상기 반도체층에 소오스 드레인 영역을 형성하는 단계를 포함하는 것을 특징으로 하는 단전자 소자의 제조방법.

【청구항 5】

제 4 항에 있어서, 상기 반구형 실리콘층의 형성단계는,

상기 비정질 실리콘층을 500℃ 내지 700℃의 온도, 1 내지 3×10^{-7} torr 이하로 고진공을 유지한 상태에서, 제1 소정시간 동안 실리콘을 포함하는 가스를 분사하는 단계; 및

500℃에서 700℃의 온도에서 제2 소정시간 동안 열처리를 수행하는 단계를 포함하는 것을 특징으로 하는 단전자 소자의 제조방법.

【청구항 6】

제 5 항에 있어서, 상기 실리콘을 포함하는 가스는 SiH_4 또는 Si_2H_6 인 것을 특징으로 하는 단전자 소자의 제조방법.

【청구항 7】

제 5 항에 있어서, 상기 제1 소정시간은 10 내지 170초이고, 상기 제2 소정 시간은 10 내지 90초인 것을 특징으로 하는 단전자 소자의 제조방법.

【청구항 8】

제 4 항에 있어서, 상기 소정 간격은 100 nm 이하이고, 상기 반구형 실리콘층의 바람직한 두께는 3~5nm이고, 상기 실리콘 전자섬의 크기는 3~5nm인 것을 특징으로 하는 단전자 소자의 제조방법.

【청구항 9】

제 4 항에 있어서, 상기 소정 간격은 100 nm 이하인 것을 특징으로 하는 단전자 소자의 제조 방법.

【청구항 10】

제 4 항에 있어서, 상기 기판은 SOI기판이고, 상기 반도체층은 상기 SOI기판의 최상층인 것을 특징으로 하는 단전자 소자의 제조 방법.

【청구항 11】

단전자 소자와 MOS 트랜지스터를 동시에 형성하는 제조방법에 있어서,

단전자 소자 부위(이하, A영역)와 MOS트랜지스터 부위(이하, 영역)를 정의하는 단계;

A영역의 기판상에는 소정 간격으로 이격되게 소오스/드레인 전극용 반도체층을 형성하고, B영역의 기판상에는 이격부위를 없이 반도체층을 형성하는 단계;

상기 반도체층 상에 비정질 실리콘층을 증착하여 A영역에만 반도체층 사이의 활성영역을 정의하는 단계;

A영역의 상기 비정질 실리콘층을 다수개의 실리콘 전자섬들을 갖는 반구형 실리콘층으로 형성하는 단계;

상기 전체구조 상에 게이트 절연막을 형성하는 단계;

상기 게이트 절연막 상에 게이트 전극을 형성하는 단계; 및

상기 반도체층에 소오스 드레인 영역을 형성하는 단계를 포함하는 것을 특징으로 하는 단전자 소자와 MOS 트랜지스터를 동시에 형성하는 제조방법.

【청구항 12】

제 11 항에 있어서,

상기 게이트 절연막을 형성하는 단계는,

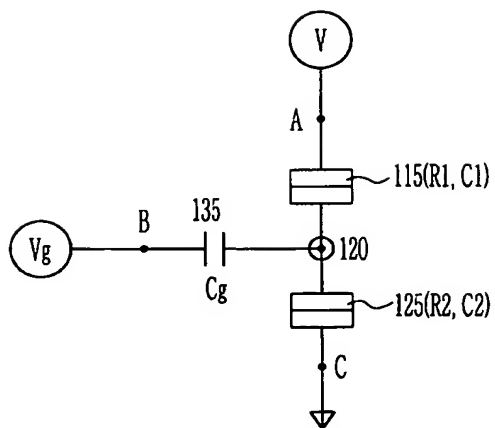
포토리지스트를 이용하여 B영역을 덮은 상태에서 A영역에만 제 1 게이트 절연막을 형성하는 단계; 및

상기 전체 구조상에 제 2 절연막을 형성하는 단계를 포함하여 형성되어,

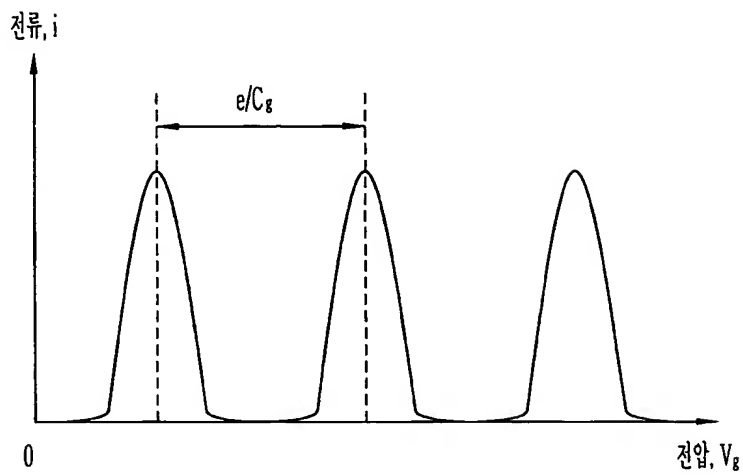
A영역의 게이트 절연막의 두께가 B영역의 게이트 절연막의 두께 보다 크게 형성되는 것을 특징으로 하는 단전자 소자와 MOS 트랜지스터를 동시에 형성하는 제조방법.

【도면】

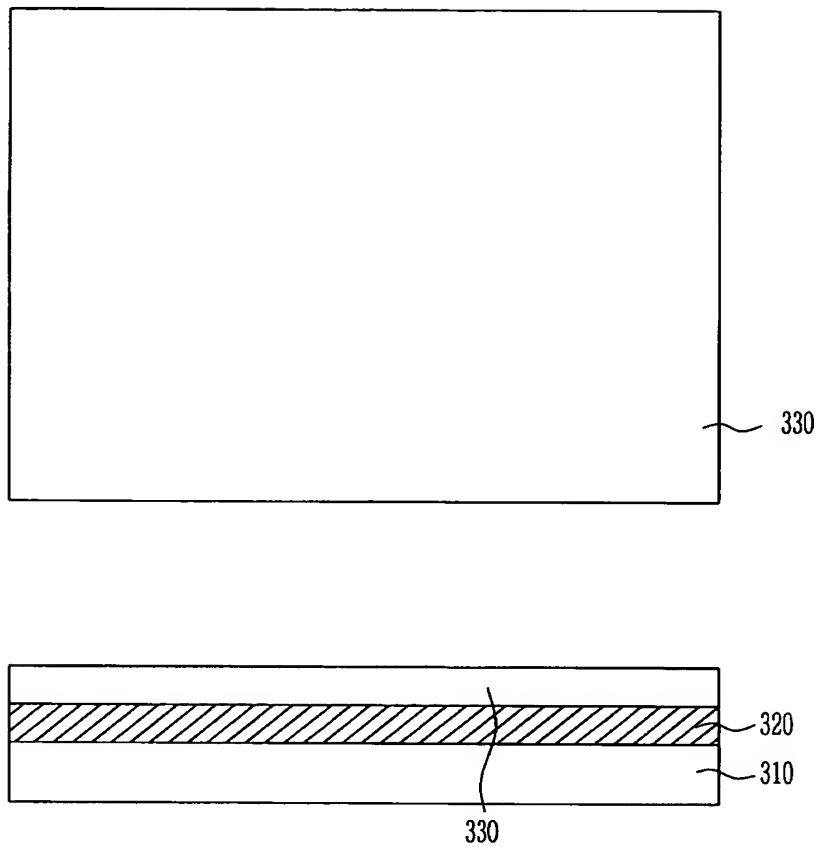
【도 1】



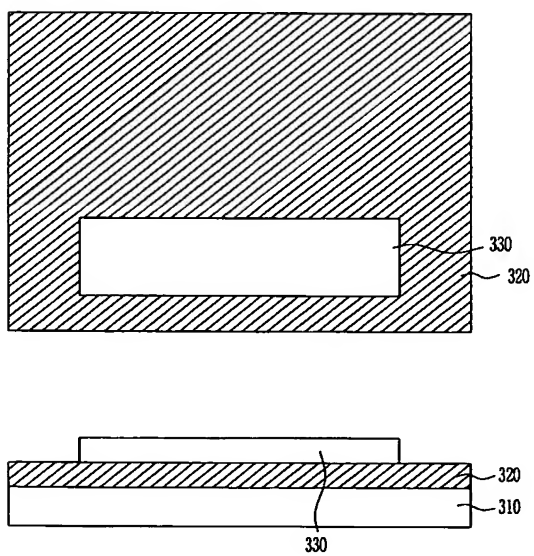
【도 2】



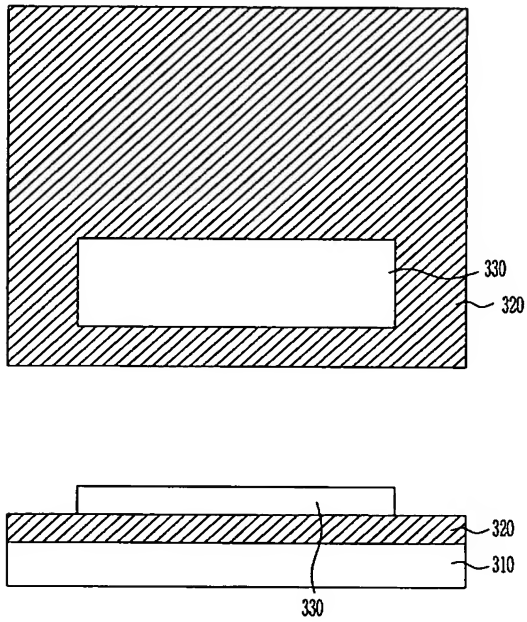
【도 3】



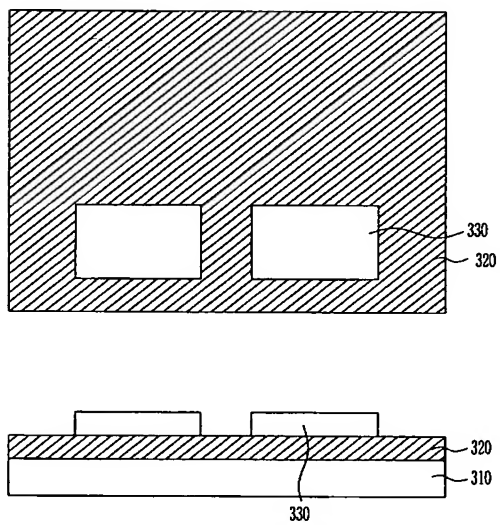
【도 4a】



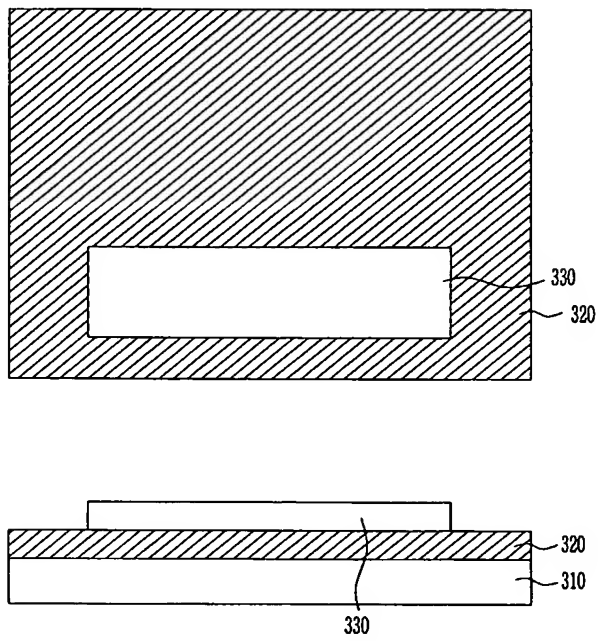
【도 4b】



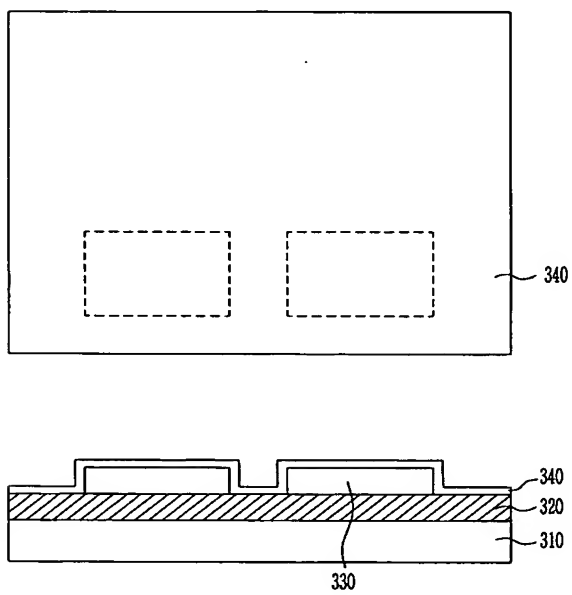
【도 5a】



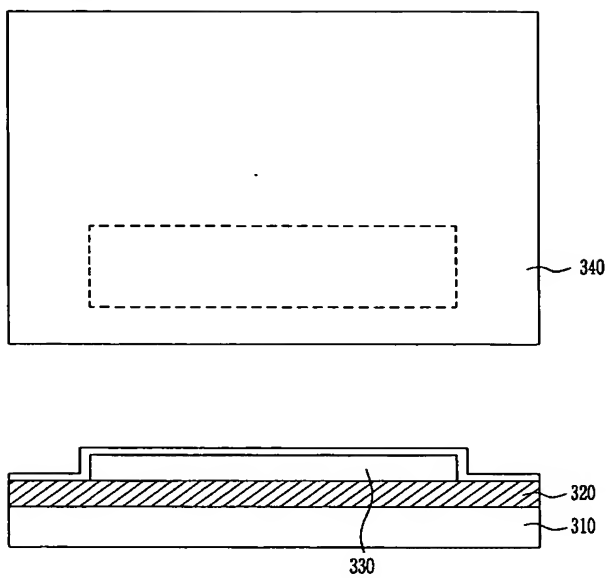
【도 5b】



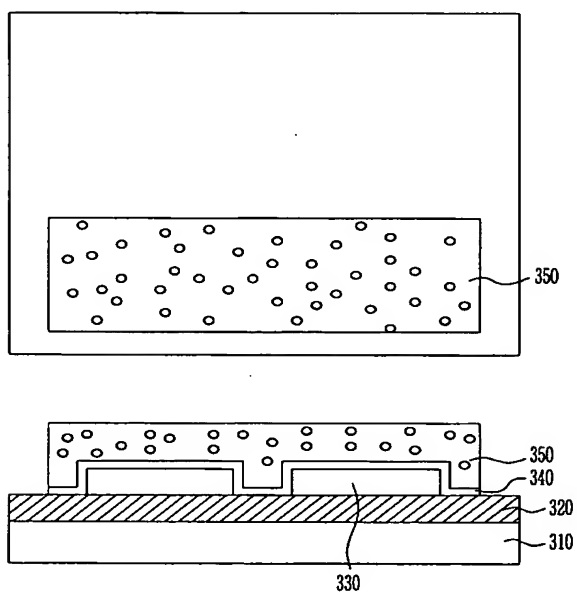
【도 6a】



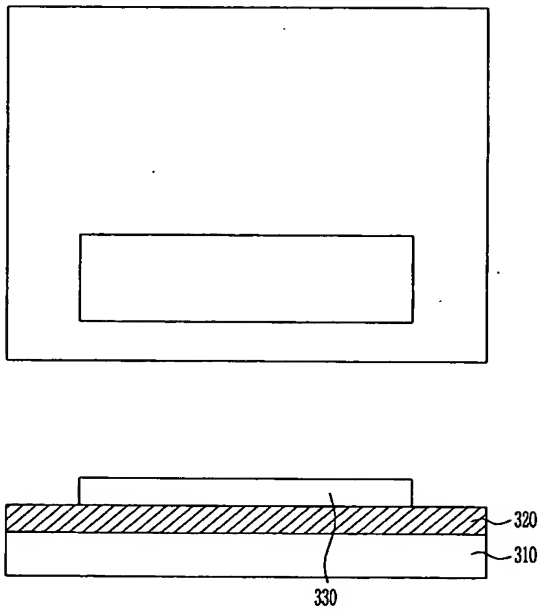
【도 6b】



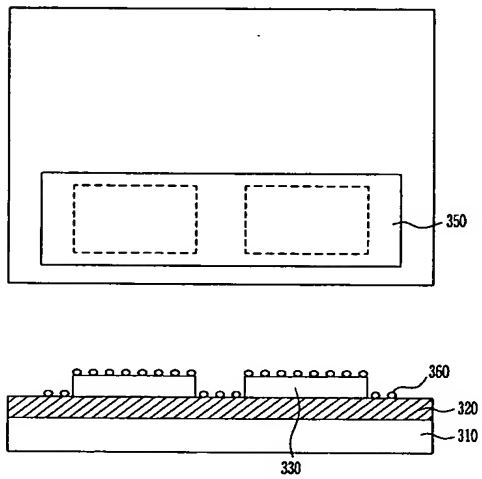
【도 7a】



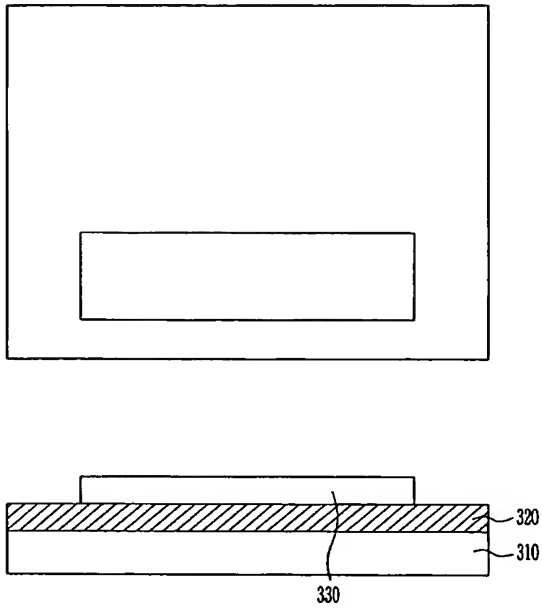
【도 7b】



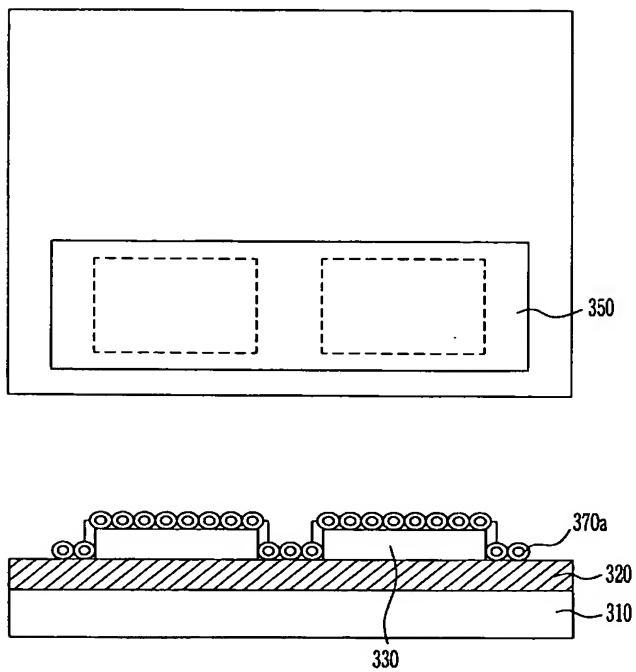
【도 8a】



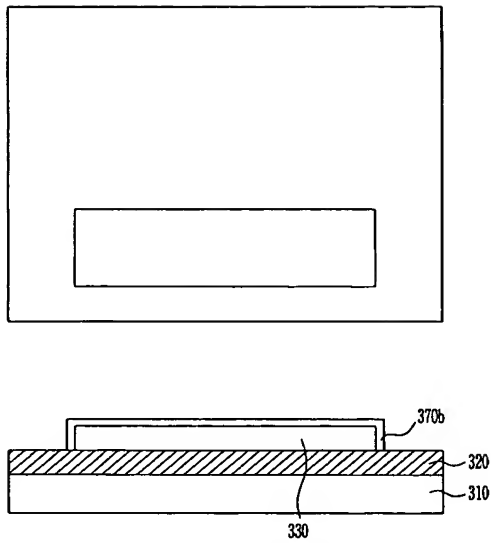
【도 8b】



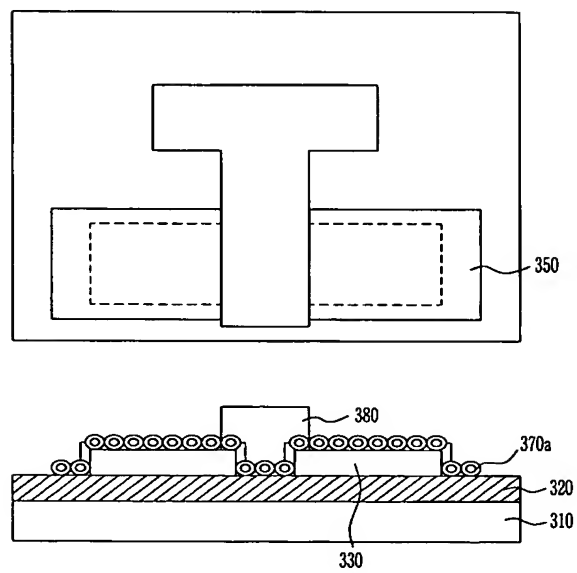
【도 9a】



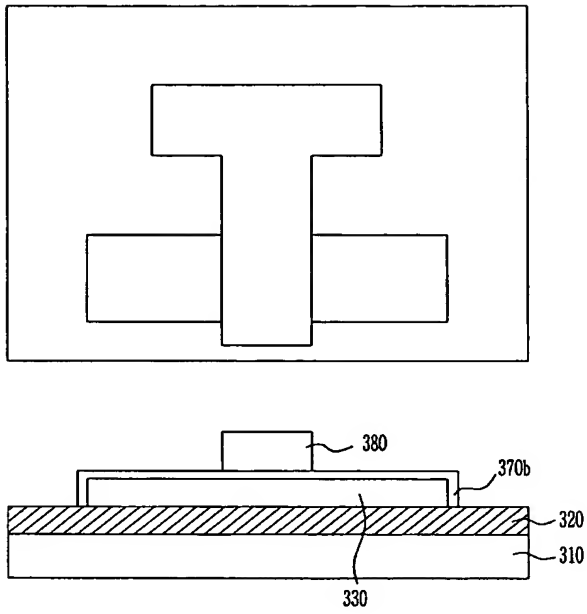
【도 9b】



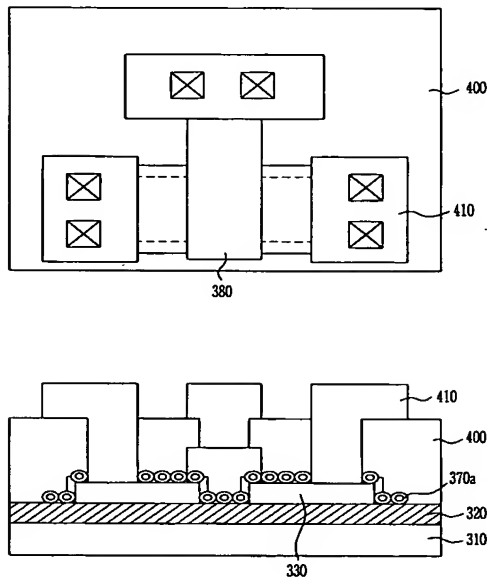
【도 10a】



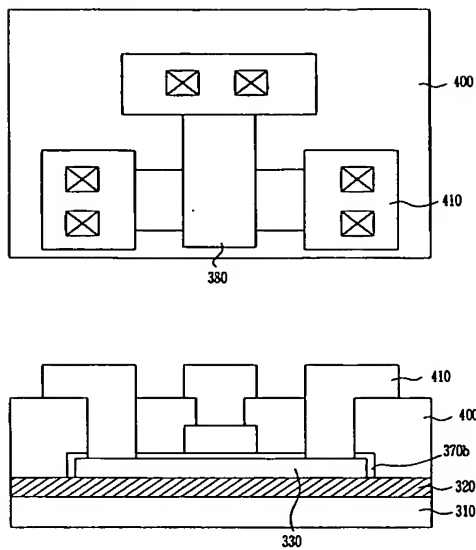
【도 10b】



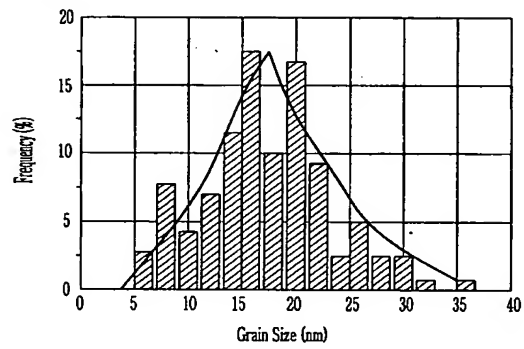
【도 11a】



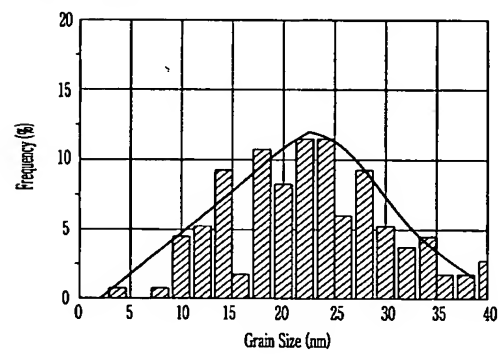
【도 11b】



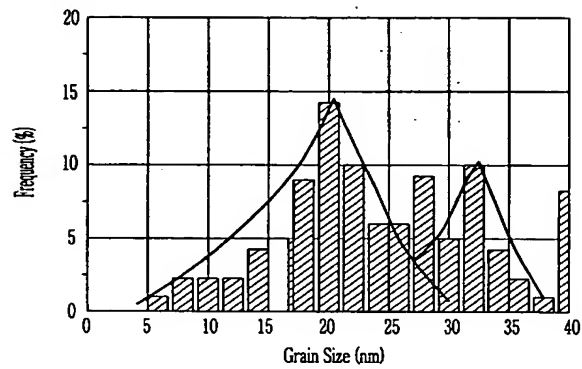
【도 12a】



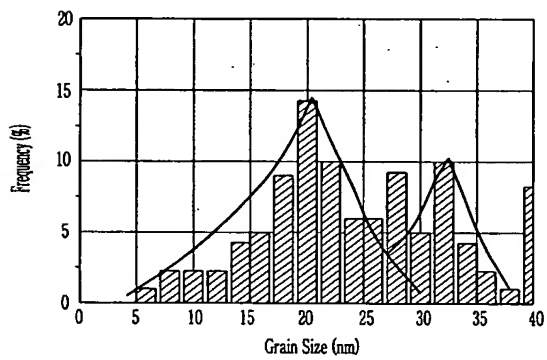
【도 12b】



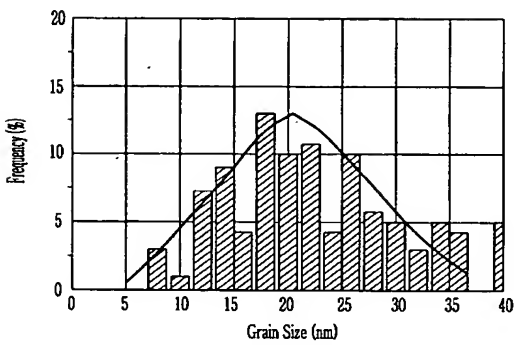
【도 12c】



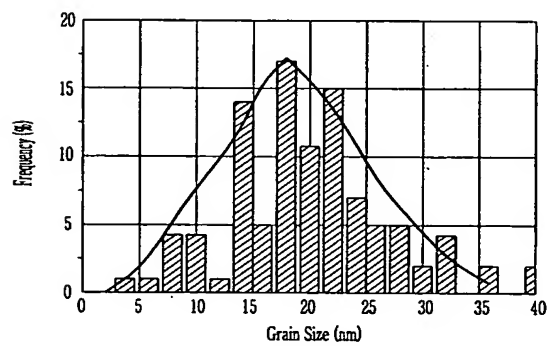
【도 13a】



【도 13b】



【도 13c】



【도 14】

